

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-199148

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

G11B 20/10

G11B 5/09

H03H 15/00

H03H 17/02

(21)Application number : 09-307551

(71)Applicant : DAEWOO ELECTRON CO LTD

(22)Date of filing : 10.11.1997

(72)Inventor : SAI HEIHO

(30)Priority

Priority number : 96 9676493

Priority date : 30.12.1996

Priority country : KR

96 9676494

30.12.1996

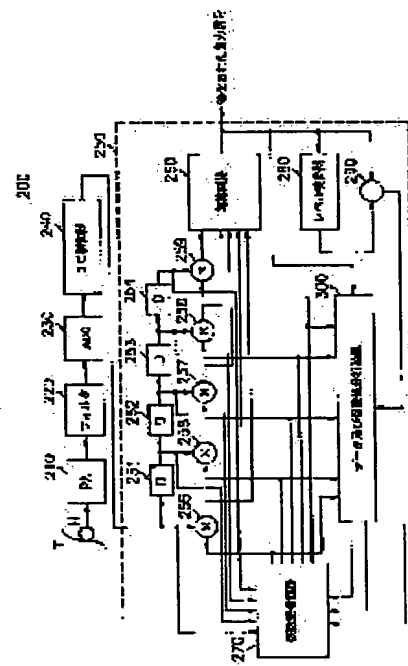
KR

(54) WAVEFORM EQUALIZER

(57)Abstract:

PROBLEM TO BE SOLVED: To converge a tap coefficient to an optimum value without diverging a tap coefficient by obtaining a new tap coefficient using selectively an initial tap coefficient, an amplitude difference, a reproduced digital information signal, and a delay signal based on a device control signal.

SOLUTION: A predetermined tap coefficient is outputted from a coefficient updating circuit 270 in accordance with a device control signal of a high level. After that, a new tap coefficient is obtained by adding a tap coefficient obtained by multiplying a delay signal by an amplitude difference to the prescribed initial tap coefficient pre-delayed by the prescribed period in a delay circuit in accordance with the device control signal. A tap coefficient outputted from the coefficient updating circuit 270 is supplied to multipliers 255-259, thereby, an equalization signal being not affected by interference between symbols can be obtained.



LEGAL STATUS

[Date of request for examination]

13.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-199148

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl. ⁶	識別記号	F I
G 1 1 B 20/10	3 2 1	G 1 1 B 20/10 3 2 1 A
5/09	3 2 1	5/09 3 2 1 A
H 0 3 H 15/00		H 0 3 H 15/00
17/02	6 0 1	17/02 6 0 1 D

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21) 出願番号 特願平9-307551

(22) 出願日 平成9年(1997)11月10日

(31) 優先権主張番号 P 1 9 9 6 - 7 6 4 9 3

(32) 優先日 1996年12月30日

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 P 1 9 9 6 - 7 6 4 9 4

(32) 優先日 1996年12月30日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591213405

大宇電子株式會▲社▼

大韓民国ソウル特別市中區南大門路5街
541番地

(72) 発明者 崔 炳鳳

大韓民国ソウル特別市中區南大門路5街
541番地 大宇電子株式會社内

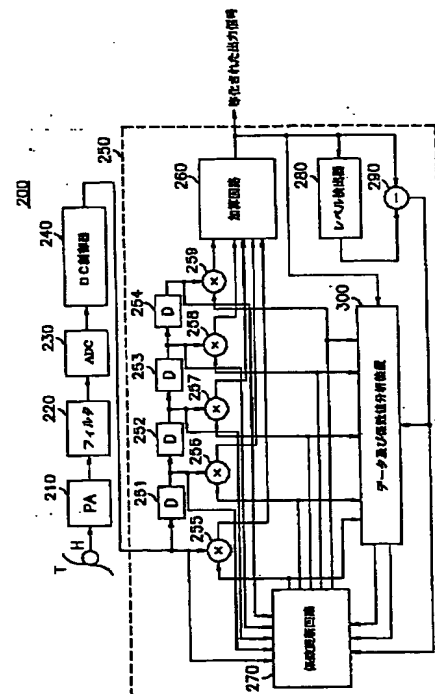
(74) 代理人 弁理士 大島 陽一

(54) 【発明の名称】 波形等化器

(57) 【要約】

【課題】 再生情報信号の等化に用いられるタップ係数値を発散させることなく効果的に求めることができる波形等化器を提供する。

【解決手段】 トランスバーサルフィルタからの出力信号と所定の閾値とを比較して確からしいデジタル情報信号を求めるレベル検出器280と、出力信号と確からしいデジタル情報信号との間の振幅の差分を計算する減算器290と、各シンボルデータのタップ係数と複数のシンボルデータの出力信号とを分析して係数値状態信号及びデータ分析結果信号を供給するデータ及び係数値分析装置300と、係数値状態信号及びデータ分析結果信号に基づいてデバイス制御信号を生成する手段330と、デバイス制御信号に基づいて選択的に、初期タップ係数、振幅差分、再生デジタル情報信号及び遅延信号を用いて新たなタップ係数を求める係数更新回路270を含む



【特許請求の範囲】

【請求項1】 複数のトラックを有する記録媒体から再生された、複数のシンボルデータを有するデジタル情報信号及びその遅延信号にタップ係数を乗算することによって得られる重み付き値の和をとることによって、前記再生デジタル情報信号のシンボル間干渉を抑制するためのトランスバーサルフィルタを用いた波形等化器であって、

目標トラックから再生されたデジタル情報信号に含まれる複数のシンボルデータの各々に対する前記トランスバーサルフィルタからの出力信号と予め定められた閾値とを比較して、確からしいデジタル情報信号を求める比較手段と、

前記出力信号と前記確からしいデジタル情報信号との間の振幅の差分を計算する振幅差分計算手段と、

各シンボルデータの前記タップ係数及び前記複数のシンボルデータの出力信号を分析して、前記タップ係数全体が予め定められた最大閾値と最小閾値の間にあるか否かを表す係数値状態信号と、前記出力信号のアイパターンが“開”であるか“閉”であるかを表すデータ分析結果信号とを生成する分析手段と、

前記係数値状態信号及び前記データ分析結果信号に基づいて、第1または第2ロジック値のデバイス制御信号を発生するデバイス制御信号発生手段と、

タップ係数を更新するための係数更新手段と、

前記係数更新手段で求められたタップ係数を受信し、前記デバイス制御信号に基づいて、予め定められた初期タップ係数または前記係数更新手段で求められたタップ係数のいずれかを前記係数更新手段へと出力する選択的タップ係数出力手段とを含み、

前記係数更新手段が、前記デバイス制御信号に基づいて選択的に、前記初期タップ係数、前記振幅差分、前記再生デジタル情報信号及び前記遅延信号を用いて新たなタップ係数を求めることを特徴とする波形等化器。

【請求項2】 前記分析手段が、

前記タップ係数の各々を前記予め定められた最大及び最小閾値と比較して、前記各タップ係数が前記最大閾値と前記最小閾値との間にあるか否かを表す第1または第2ロジック値の比較結果信号を出力する第1比較手段と、

前記比較結果信号を論理的に組合せて、第1または第2ロジック値の組合せ信号を前記係数値状態信号として出力する組合せ手段と、

前記複数のシンボルデータに対して、前記トランスバーサルフィルタから出力された前記出力信号と予め定められた閾値とを比較し、前記比較結果に基づいて前記出力信号のアイパターンが“開”であるか“閉”であるかを決定して、第1または第2ロジック値の前記データ分析結果信号を発生する第2比較手段とを備えることを特徴とする請求項1に記載の波形等化器。

【請求項3】 前記アイパターンが“閉”で且つ前記

各タップ係数が全て前記最大閾値と前記最小閾値との間にある場合、前記デバイス制御信号が第1ロジック値を有し、そうでない場合は第2ロジック値を有し、

前記選択的タップ係数出力手段が、前記第2ロジック値の前記デバイス制御信号に応じて前記初期タップ係数を出力し、前記第1ロジック値の前記デバイス制御信号に応じて、前記係数更新手段からのタップ係数を出力し、前記係数更新手段が、前記第2ロジック値の前記デバイス制御信号に応じて、前記初期タップ係数に、前記振幅差分を前記再生デジタル情報信号及び遅延情報信号に乗算して求めたタップ係数値を加えて得られる新たなタップ係数値を発生し、前記デバイス制御信号が前記第1ロジック値の場合は前記選択的タップ係数出力手段から供給されるタップ係数値をそのまま出力することを特徴とする請求項2に記載の波形等化器。

【請求項4】 前記係数値状態信号が、前記比較結果信号の全てのレベルが前記第2ロジック値である場合は前記第2ロジック値を有し、そうでない場合には、前記第1ロジック値を有することを特徴とする請求項2に記載の波形等化器。

【請求項5】 前記第2比較手段において用いられる前記予め定められた閾値が、前記再生デジタル情報信号の各シンボルデータのビット数に基づいて決定され、該閾値の数が部分応答クラスの種類によって決定されることを特徴とする請求項2に記載の波形等化器。

【請求項6】 前記部分応答クラスの種類がIVであることを特徴とする請求項5に記載の波形等化器。

【請求項7】 前記各シンボルデータのビット数が8であり、各シンボルデータは $-128 \sim +128$ の範囲にあることを特徴とする請求項6に記載の波形等化器。

【請求項8】 前記予め定められた閾値の数が、 $a < b < c < d$ の関係にある a 、 b 、 c 、 d の4つであり、 a と d は大きさが等しく符号が異なり、 b と c は大きさが等しく符号が異なることを特徴とする請求項7に記載の波形等化器。

【請求項9】 前記4つの予め定められた閾値に基づいて、5つの領域が存在し、上側領域は $+128$ と前記予め定められた閾値 d との間に存在し、下側領域は -128 と前記予め定められた閾値 a との間に存在し、中間領域は前記予め定められた閾値 b と c との間に存在することを特徴とする請求項8に記載の波形等化器。

【請求項10】 記録媒体に記録された情報信号を再生するための情報信号再生装置であって、

ドラム上に取り付けられたヘッドによって複数のトラックを有する記録媒体を走査することにより再生された情報信号をフィルタリングして、前記再生情報信号に含まれたノイズ成分を除去し、さらにフィルタリングされた情報をデジタル情報信号に変換するフィルタリング手段と、

複数のシンボルデータを有する前記再生情報信号とその

遅延情報信号にタップ係数を乗算して求めた重み付き値の和をとることによって、前記再生デジタル情報信号のシンボル間干渉を抑止するトランスバーサルフィルタを含む波形等化器とを有し、

前記波形等化器が、

目標トラックから再生されたデジタル情報信号に含まれる複数のシンボルデータの各々に対する前記トランスバーサルフィルタからの出力信号と予め定められた閾値とを比較して、確からしいデジタル情報信号を求める比較手段と、

前記出力信号と前記確からしいデジタル情報信号との間の振幅の差分を計算する振幅差分計算手段と、

各シンボルデータの前記タップ係数及び前記複数のシンボルデータの出力信号を分析して、前記タップ係数全体が予め定められた最大閾値と最小閾値の間にあるか否かを表す係数値状態信号と、前記出力信号のアイパターンが“開”であるか“閉”であるかを表すデータ分析結果信号とを生成する分析手段と、

前記係数値状態信号及び前記データ分析結果信号に基づいて、第1または第2ロジック値のデバイス制御信号を発生するデバイス制御信号発生手段と、

タップ係数を更新するための係数更新手段と、

前記係数更新手段で求められたタップ係数を受信し、前記デバイス制御信号に基づいて、予め定められた初期タップ係数または前記係数更新手段で求められたタップ係数のいずれかを前記係数更新手段へと出力する選択的タップ係数出力手段とを含み、

前記係数更新手段が、前記デバイス制御信号に基づいて選択的に、前記初期タップ係数、前記振幅差分、前記再生デジタル情報信号及び前記遅延信号を用いて新たなタップ係数を求めることを特徴とする情報信号再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、波形等化器に関し、特に、再生情報信号の等化に用いられるトランスバーサルフィルタ（遅延線フィルタ）のタップ係数値が発散せず最適の値に収束し得る、改善された波形等化器に関する。

【0002】

【従来の技術】波形等化器として用いられる従来のトランスバーサルフィルタは、所定の信号期間（signal period）に等しいタップ間遅延を有する遅延素子のタップ係数を自動的に制御する。そのようなフィルタは、非周期型であるという点において、基本的には安定である。

【0003】デジタル情報信号の記録及び再生に用いられる磁気記録及び再生装置には、トランスバーサルフィルタを含む波形等化器を備えたものがある。そのようなフィルタは、再生デジタル情報信号をフィルタの出力とその推定値との間の偏差に基づいて適応的に調節

し、再生デジタル情報信号におけるシンボル間干渉を抑制する。ここで推定値は、出力信号を予め定められた3つの値のうちの一つにマッピングすることにより得ることができる。フィルタの出力は、シンボル復号化器（例えば、ビタビ復号化器）及び誤り訂正装置（例えば、リードソロモン（RS）復号化器）に供給される。

【0004】図1に、前述した従来の磁気記録及び再生装置の再生回路100を示す。詳述すると、回転ドラム（図示せず）に装着された磁気ヘッドHによって磁気テープTを走査することによって得られた再生情報信号は、前置増幅器（PA）10で増幅された後フィルタ20を通され、増幅された情報信号に含まれるノイズ成分が除去される。その後、フィルタリングされた情報信号は、A/D変換器（ADC）30にてデジタル情報信号に変換される。このデジタル情報信号は、直流（DC）制御器40において所定のDCレベルに調節された後、再生されたデジタル情報信号として波形等化器50に供給される。図1に示したように、波形等化器50は、4つの遅延回路51～54、5つの乗算器55～59、加算回路60、係数更新回路70、レベル検出器80及び減算器90を備える。

【0005】遅延回路51～54は、供給された再生デジタル情報信号を予め定められた期間だけ順に遅延する。DC制御器40からの再生デジタル情報信号及び遅延回路51～54からの遅延デジタル情報信号は、それぞれ対応する乗算器55～59に供給される。各乗算器は、供給された各信号を後述する係数更新回路70からの対応するタップ係数と乗算することによってタップ係数だけ重み付けされた出力を生成する。加算回路60は、乗算器55～59から出力される信号をすべて加算し、等化された出力信号（等化出力信号）としてシンボル復号化器、誤り訂正回路（図示せず）、レベル検出器80及び減算器90に供給する。レベル検出器80は、等化出力信号と予め定められた閾値とを比較して、等化出力信号のレベルを検出した後減算器90に供給する。

【0006】減算器90は、レベル検出器80からの等化出力信号の検出レベル（即ち、予測値）と加算回路60からの等化出力信号との間の差分を計算して、等化出力信号の予測値の等化出力信号に対する振幅誤差を求める。ここで予測値は、-1、0、1の3値の中の一つである。求められた振幅誤差は係数更新回路70に供給される。係数更新回路70は、振幅誤差値を再生デジタル情報信号及び遅延情報信号に乗算して、タップ係数を出力する。このように、振幅誤差値を再生デジタル情報信号及び遅延情報信号に乗算することによって、波形等化を行い、再生デジタル情報信号に含まれるシンボル間干渉を抑制することができる。

【0007】しかし、従来の波形等化器においては、再生デジタル情報信号がテープの損傷などによって著しく歪んでいるような場合、係数値が発散し得る。そのため、従来の波形等化器では、いったん係数値が発散する

10

20

30

40

50

と、正常な再生デジタル情報が供給されてるようになって、もはや係数更新処理を行うことはできないという不都合があった。従って、タップ係数の最適値への更新のためには、タップ係数が発散したとき速やかに対処することが望まれる。

【0008】

【発明が解決しようとする課題】従って、本発明の主な目的は、効果的なデータ及び係数値分析技法を用いることによって再生情報信号の等化に用いられるタップ係数値を発散させることなく最適値に収束させ得る、改善された波形等化器を提供することにある。

【0009】

【課題を解決するための手段】上記の目的を達成するために、本発明の一側面によれば、複数のトラックを有する記録媒体から再生された、複数のシンボルデータを有するデジタル情報信号及びその遅延信号にタップ係数を乗算することによって得られる重み付き値の和をとることによって、前記再生デジタル情報信号のシンボル間干渉を抑制するためのトランスバーサルフィルタを用いた波形等化器であって、目標トラックから再生されたデジタル情報信号に含まれる複数のシンボルデータの各々に対する前記トランスバーサルフィルタからの出力信号と予め定められた閾値とを比較して、確からしいデジタル情報信号を求める比較手段と、前記出力信号と前記確からしいデジタル情報信号との間の振幅の差分を計算する振幅差分計算手段と、各シンボルデータの前記タップ係数及び前記複数のシンボルデータの出力信号を分析して、前記タップ係数全体が予め定められた最大閾値と最小閾値の間にあるか否かを表す係数値状態信号と、前記出力信号のアイパターンが“開”であるか

“閉”であるかを表すデータ分析結果信号とを生成する分析手段と、前記係数値状態信号及び前記データ分析結果信号に基づいて、第1または第2ロジック値のデバイス制御信号を発生するデバイス制御信号発生手段と、タップ係数を更新するための係数更新手段と、前記係数更新手段で求められたタップ係数を受信し、前記デバイス制御信号に基づいて、予め定められた初期タップ係数または前記係数更新手段で求められたタップ係数のいずれかを前記係数更新手段へと出力する選択的タップ係数出力手段とを含み、前記係数更新手段が、前記デバイス制御信号に基づいて選択的に、前記初期タップ係数、前記振幅差分、前記再生デジタル情報信号及び前記遅延信号を用いて新たなタップ係数を求めることを特徴とする波形等化器が提供される。

【0010】また、本発明の別の側面によれば、記録媒体に記録された情報信号を再生するための情報信号再生装置であって、ドラム上に取り付けられたヘッドによって複数のトラックを有する記録媒体を走査することにより再生された情報信号をフィルタリングして、前記再生情報信号に含まれたノイズ成分を除去し、さらにフィル

タリングされた情報をデジタル情報信号に変換するフィルタリング手段と、複数のシンボルデータを有する前記再生情報信号とその遅延情報信号にタップ係数を乗算して求めた重み付き値の和をとることによって、前記再生デジタル情報信号のシンボル間干渉を抑止するトランスバーサルフィルタを含む波形等化器とを有し、前記波形等化器が、目標トラックから再生されたデジタル情報信号に含まれる複数のシンボルデータの各々に対する前記トランスバーサルフィルタからの出力信号と予め定められた閾値とを比較して、確からしいデジタル情報信号を求める比較手段と、前記出力信号と前記確からしいデジタル情報信号との間の振幅の差分を計算する振幅差分計算手段と、各シンボルデータの前記タップ係数及び前記複数のシンボルデータの出力信号を分析して、前記タップ係数全体が予め定められた最大閾値と最小閾値の間にあるか否かを表す係数値状態信号と、前記出力信号のアイパターンが“開”であるか“閉”であるかを表すデータ分析結果信号とを生成する分析手段と、前記係数値状態信号及び前記データ分析結果信号に基づいて、第1または第2ロジック値のデバイス制御信号を発生するデバイス制御信号発生手段と、タップ係数を更新するための係数更新手段と、前記係数更新手段で求められたタップ係数を受信し、前記デバイス制御信号に基づいて、予め定められた初期タップ係数または前記係数更新手段で求められたタップ係数のいずれかを前記係数更新手段へと出力する選択的タップ係数出力手段とを含み、前記係数更新手段が、前記デバイス制御信号に基づいて選択的に、前記初期タップ係数、前記振幅差分、前記再生デジタル情報信号及び前記遅延信号を用いて新たなタップ係数を求めることを特徴とする情報信号再生装置が提供される。

【0011】

【発明の実施の形態】以下、本発明の好適実施例について図面を参照しながらより詳しく説明する。

【0012】図2には、本発明による新規な等化器250を有する再生回路200のブロック図が示されている。図2に示すように、本発明の再生回路200は、PA210、フィルタ220、ADC230、DC制御器240及び波形等化器250を備える。また、波形等化器250は、4つの遅延回路251～254、5つの乗算器255～259、加算回路260、係数更新回路270、レベル検出器280、減算器290、データ及び係数値分析デバイス300を備える。説明の便宜上、本明細書では4つの遅延回路及び5つの乗算回路が示されているが、これらの数は波形等化器として用いられるトランスバーサルフィルタのタップ数に応じて変更可能である。

【0013】テープT上に書込まれた複数のシンボルデータを有する情報信号は、回転ドラム（図示せず）上に装着された磁気ヘッドHによってテープTを走査することによって再生される。再生された情報信号はシンボル

データ単位で図1に示した回路と同じ機能を有するPA 210、フィルタ220、DC制御器240を通じて遅延回路251~254、乗算器255及び係数更新回路270に供給される。遅延回路251~254は印加された再生デジタル情報信号を順に遅延して得た遅延デジタル情報信号を対応する乗算器255~259に供給する。乗算器255~259はDC制御器240から供給された再生デジタル情報信号及び遅延回路251~254からの遅延されたデジタル情報信号を係数更新回路270から供給された対応するタップ係数に乗算することによってタップ係数だけ重み付けされた信号を出力する。乗算器255~259における乗算結果は加算回路260に印加され加算される。このように係数更新回路270から供給されるタップ係数に基づいて得られる重み付けされた乗算結果を加算して波形等化を行うことによって、元のデジタル情報信号波形がシンボル間の干渉によって阻害されている場合でも、シンボル間の干渉成分を抑圧することができる。

【0014】加算回路260から出力される信号は等化出力信号として、シンボルデコーダ、誤り訂正回路(図示せず)、レベル検出器280、減算器290、データ及び係数値分析デバイス300に供給される。レベル検出器280は等化出力信号と予め定められた信号レベルとを比較することによって、加えられた等化出力信号の予測値を決定する。予測値は3値、即ち、-1、0、1の内の一つである。決定結果は減算器290に送られ、決定結果と等化出力値との間の振幅の差分またはエラー値が計算された後、データ及び係数値分析デバイス300と係数更新回路270に供給される。

【0015】データ及び係数値分析デバイス300においては、以下、図3~6を参照して詳細に説明される本発明のデータ及び係数値分析技法を用いて加算回路260から供給される等化出力信号及び係数更新回路270から発生されるタップ係数値の分析がなされる。

【0016】図3を参照すると、図2に示したデータ及び係数値分析デバイス300のブロック図が示されている。図3に示すように、データ及び係数値分析デバイス300は係数値分析器310、データ分析器320、デバイス制御器330、格納部340及び選択回路350を備える。係数値分析器310は、図2中の係数更新回路270からの各タップ係数を分析して全てのタップ係数値が予め定められた最大及び最小閾値によって定められる範囲内にあるか否かを判定する。係数値分析器310について図4を参照して以下に詳細に説明する。

【0017】図4において、係数値分析器310は5つの比較器311~315、メモリ316及びANDゲート317を備える。各々の比較器は係数更新回路270から印加されるタップ係数をメモリ316に格納された予め定められた最大閾値及び最小閾値と比較してタップ係数値が最大及び最小閾値の範囲内に属するか否かを決定する。

【0018】例えば、タップ係数値が予め定められた最

大閾値と最小閾値との間にある場合、各比較器はローレベルの出力を発生し、閾値の範囲外に属すると、ハイレベルの出力を発生する。比較器311~315から発生されたハイレベルまたはローレベルの出力はANDゲート317に印加され論理的に組合され、タップ係数の状態を表す係数値状態信号を発生する。即ち、本発明によると、ANDゲート317に印加された全ての入力、係数値が発散したことを意味するハイレベルである場合、ANDゲート317はハイレベルの係数値状態信号を発生し、また、ANDゲート317に印加されるある入力、係数値が収束されることを意味するローレベルであれば、ANDゲート317はローレベルの係数値状態信号を発生する。ハイレベルまたはローレベルの係数値状態信号は、図3に示されているデータ分析器320及びデバイス制御器330に供給される。

【0019】再度図3を参照されたい。デバイス制御器330はANDゲート317からのハイレベルの係数値状態信号に応答して、データ分析器320から供給される信号に関係なくハイレベル値を有するデバイス制御信号を発生する。しかしながら、ANDゲート317からローレベルの係数値状態信号が入力される場合は、図5及び図6を参照して以下に詳細に説明するデータ分析器320から供給されるデータ分析結果信号を考慮してハイレベルまたはローレベルのデバイス制御信号を発生する。後に詳述するように、データ分析信号は、図2に示した加算回路260からの等化出力信号のアイパターン(eye pattern)が“開(open)”であるかまたは“閉(close)”であるかを表す。

【0020】図5及び図6を参照されたい。データ分析器320は3つの比較器322、323、332、3つのカウンタ327~329、減算器331、メモリ333及び加算器335を備える。比較器322は、図2に示されている加算回路260からの等化出力信号を、2つの予め定められた閾値、例えば、図6に示されているa及びdの各々と比較する。また、比較器323は、別の2つの予め定められた閾値b及びcと比較する。これらの4つの閾値は入力情報信号に含まれる各シンボルデータのビット数に基づいて予め決定され、メモリ333に格納される。例えば、各シンボルデータのビット数が8ビットであり、従ってシンボルデータが-128から+128のレベル範囲を有する場合、図6に示したように、前者の2個の予め定められた閾値a及びdのうちaは-128に所定の値を加算することによって、dは+128から同一の所定値を減算することによって求められ、後者の2個の予め定められた閾値b及びcのうちbは0から所定値を減算することによって、またcは同一の所定値を0に加算することによって求められる。これらの4つの閾値には $a < b < c < d$ の関係があり、aとd、bとcは大きさが等しく符号が逆となっている。

【0021】例えば、等化出力値が-128より大きく前者の第1閾値a以下の図6の領域Aに属するか、または+1

10

20

30

40

50

28より小さく前者の第2閾値d以上の図6の領域Eに属する場合、比較器322はハイレベルの第1比較信号を発生し、そのような条件を満たさない場合ローレベルの第1比較信号を発生する。同様な方法で、等化出力値が後者の2個の予め定められた閾値bとcの間の領域、即ち、図6の領域Cに属する場合、比較器323はハイレベルの第2比較信号を発生し、そうでない場合はローレベルの第2比較信号を発生する。本明細書では詳細には説明しないが、当業者であれば4つの予め定められた閾値と5つの領域は部分応答クラス（partial response Class）- IV 10 によって決定されることが分かるだろう。

【0022】第1比較信号は、カウンタ327、インバータ324及びANDゲート326に供給される。また、第2比較信号は2個のANDゲート325、326に印加される。詳述すると、インバータ324は第1比較信号を反転して第1反転比較信号を第1ANDゲート325に供給する。第1ANDゲート325はインバータ324と比較器323とから供給された2個の入力を論理的に組合せて第1AND組合せ信号をカウンタ328に供給する。また、第2ANDゲート326は比較器322、323から供給された信号を反転した後、論理的に組合せて第2のAND組合せ信号を出力してカウンタ329に供給する。本発明の好適な実施例において、インバータ324及び第1ANDゲート325は図6の領域BまたはDに位置する各シンボルデータの入力情報信号の数を計数するために用いられる第1のAND組み合わせ信号を発生するために設けられ、第2ANDゲート326は図6の領域Cに位置する各シンボルデータの入力情報信号の数を計数するために用いられる第2AND組み合わせ信号を発生するために設けられている。

【0023】図5に示したように、カウンタ327に入力される信号は、比較器322からの第1比較信号、カウンタ328に入力される信号は第1ANDゲート325からの第1AND組合せ信号であり、カウンタ329に入力される信号は第2ANDゲート326からの第2AND組合せ信号である。カウンタ327への入力がハイレベルの第1比較信号である場合、カウンタ327は入力された信号の数をカウントする。カウンタ328への入力がハイレベルの第1AND組合せ信号である場合、カウンタ327はその信号の数をカウントする。また、カウンタ329への入力がハイレベルの第2AND組合せ信号である場合、カウンタ327はその信号の数をカウントする。このような比較及び計数動作は、磁気テープの目標トラックから読取られた全てのシンボルデータが処理されるまで、次のシンボルデータに対して反復的に行われる。

【0024】カウンタ327～329のカウント数は全て加算器335に供給される。また、領域BまたはDに属するシンボルデータの数を示すカウンタ328からのカウント数は減算器331にも供給される。加算器335は、カウンタ327～329から出力されたカウント値をすべて加算して総カウント値を減算器331に供給する。

【0025】減算器331は、加算器330からの総カウント値からカウンタ328からのカウント値を減算して差分値を得た後、比較器332に供給する。比較器332は、減算器331からの差分値とメモリ333に格納された予め定められた閾値とを比較して比較結果信号を発生する。詳述すると、減算器331からの差分値が予め定められた閾値より大きい、即ち目標トラックから読取られた複数のシンボルデータの等化出力信号のアイパターンが“開”である場合、比較器332はローレベル値の比較結果信号を発生し、差分値が予め定められた閾値以下である、即ち等化出力信号のアイパターンが“閉”である場合、比較器332はハイレベルの比較結果信号を発生する。ローレベルまたはハイレベルの比較結果信号はデータ分析結果信号として図3に示したデバイス制御器330に供給される。

【0026】図3を再び参照されたい。係数分析器310からの係数値状態信号及びデータ分析器320からのデータ分析結果信号に基づいて、デバイス制御器330はデバイス制御信号を発生する。即ち、デバイス制御器330は、ハイレベルの係数値状態信号またはハイレベルのデータ分析結果信号に応じてハイレベルのデバイス制御信号を発生し、係数値状態信号がローレベルで且つデータ分析結果信号もローレベルの場合は、ローレベルのデバイス制御信号を発生する。ハイレベルまたはローレベルのデバイス制御信号は、格納部340及び選択回路350及び図2に示した係数更新回路270に供給される。

【0027】デバイス制御器330からのデバイス制御信号に応じて、選択回路350は、係数更新回路270からのタップ係数、あるいは格納装置340から読出される予め定められた初期タップ係数を選択的に出力する。即ち、ローレベルのデバイス制御信号に応じて図2に示した係数更新回路270にタップ係数が戻され、ハイレベルのデバイス制御信号に応じて格納装置340から初期タップ係数が係数更新回路270に供給される。

【0028】図2を再度参照されたい。図1に示した従来の係数更新回路に比べて向上された係数更新回路270は、対応する乗算器255～259に伝送するタップ係数値を効果的に求める。即ち、図3に示したデバイス制御器330からのローレベルのデバイス制御信号に応じて、係数更新回路270は選択回路350からのタップ係数を何ら変更することなく対応する乗算器255～259に伝達する。しかし、デバイス制御器330からのデバイス制御信号がハイレベルの場合、デバイス制御器330は新たなタップ係数を求めて対応する乗算器255～259に供給する。新たなタップ係数は選択回路350からの予め定められた初期タップ係数、減算器290からの振幅差分及び遅延回路251～254からの遅延信号を適切に用いることによって求められる。

【0029】詳述すると、ハイレベルのデバイス制御信号に応じて、予め定められたタップ係数が、係数更新回路270から出力される。その後、ハイレベルのデバイス

制御信号に応じて、遅延回路（図示せず）で予め定められた期間だけ遅延された予め定められた初期タップ係数に、振幅差分を遅延信号に乗算して求めたタップ係数を加算することによって新たなタップ係数が求められる。また、新たなタップ係数を、前に係数更新回路270で求めたタップ係数に、前記したように乗算によって求めたタップ係数を加算することによって求めることも考えられる。係数更新回路270から出力されたタップ係数は対応する乗算器255～259に供給され、それによってシンボル間干渉を受けない等化出力信号を得ることができる。

【0030】上記において、本発明の好適な実施の形態について説明したが、本発明の請求範囲を逸脱することなく、当業者は種々の改変をなし得るであろう。

【0031】

【発明の効果】従って、本発明によれば、データ及び係数値分析技法を用いることにより、再生ディジタル情報信号の等化に用いられるべきタップ係数値を分散させることなく最適値に収束させることができる。

【図面の簡単な説明】

【図1】通常の波形等化器を備える再生回路のブロック図である。

【図2】本発明による波形等化器を備える再生回路のブロック図である。

【図3】図2中の波形等化器に含まれるデータ及び係数値分析装置のブロック図である。

【図4】図3に示した係数値分析器の詳細なブロック図である。

【図5】図3に示したデータ分析器の詳細なブロック図である。

【図6】本発明に基づくデータ分析器にて用いたデータ分析技法を説明するための模式図である。

【符号の説明】

10 前置増幅器（PA）

20 フィルタ

30 A/D変換器（ADC）

40 直流（DC）制御器

50 波形等化器

51～54 遅延回路

55～59 乗算器

60 加算回路

70 係数更新回路

80 レベル検出器

90 減算器

100 従来の再生回路

200 再生回路

210 前置増幅器（PA）

220 フィルタ

230 ADC（A/D変換器）

240 DC制御器

250 波形等化器

251～254 遅延回路

255～259 乗算器

260 加算回路

270 係数更新回路

280 レベル検出器

290 減算器

300 データ及び係数値分析デバイス

310 係数値分析器

320 データ分析器

330 デバイス制御器

311～315 比較器

316 メモリ

317 ANDゲート

322、323、332 比較器

324 インバータ

325 ANDゲート

326 ANDゲート

327～329 カウンタ

331 減算器

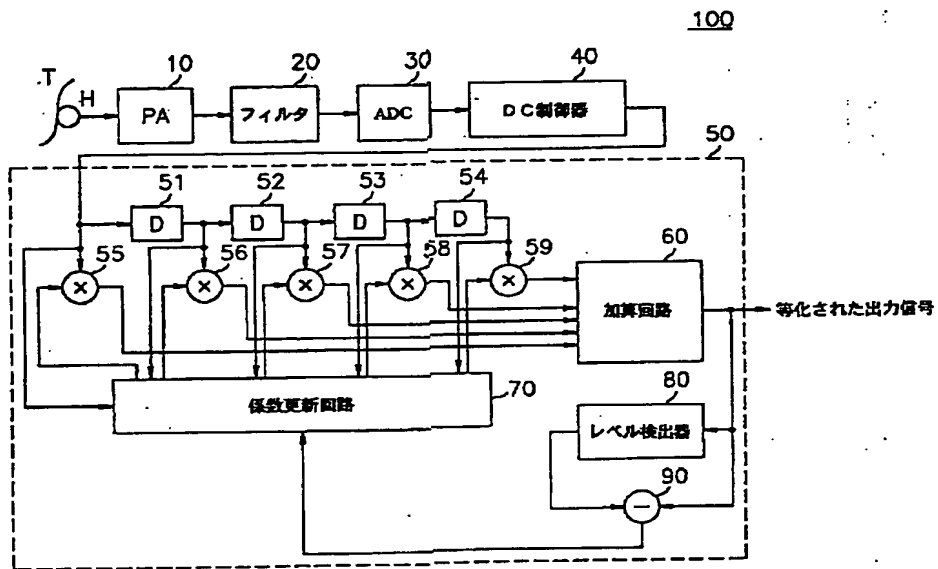
333 メモリ

335 加算器

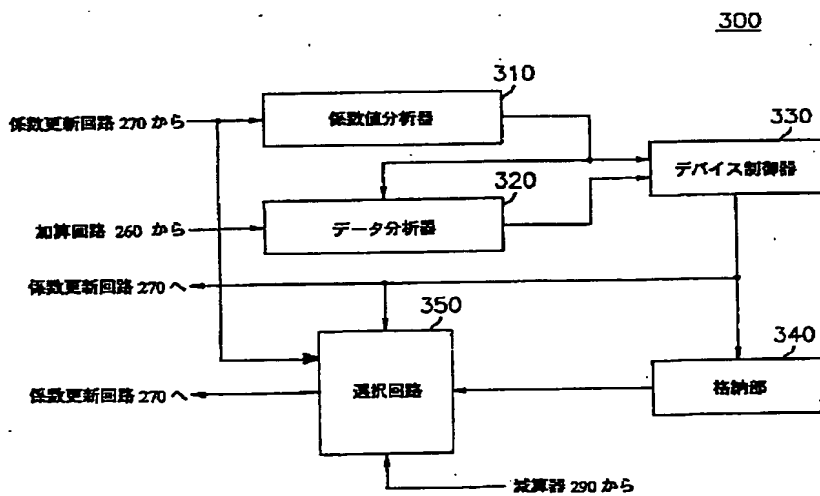
340 格納部

350 選択回路

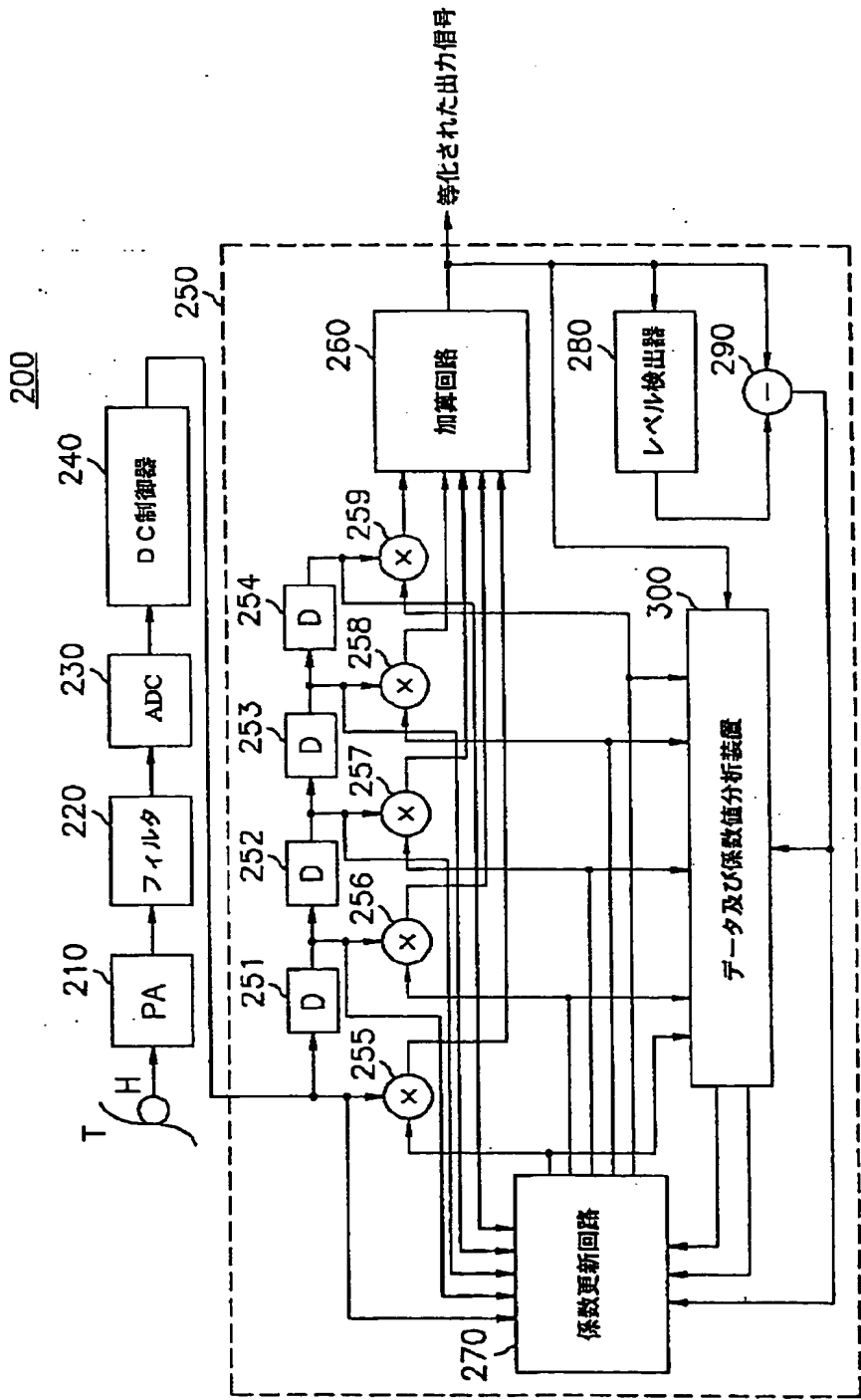
【図1】



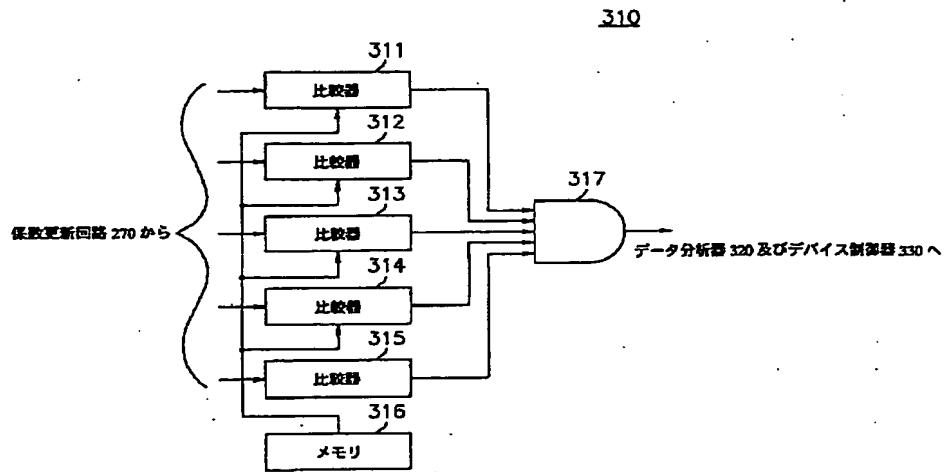
【図3】



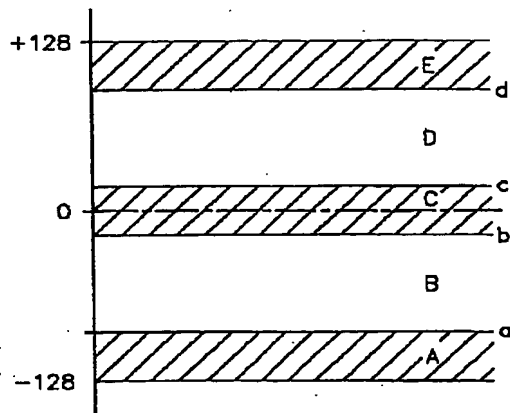
【図2】



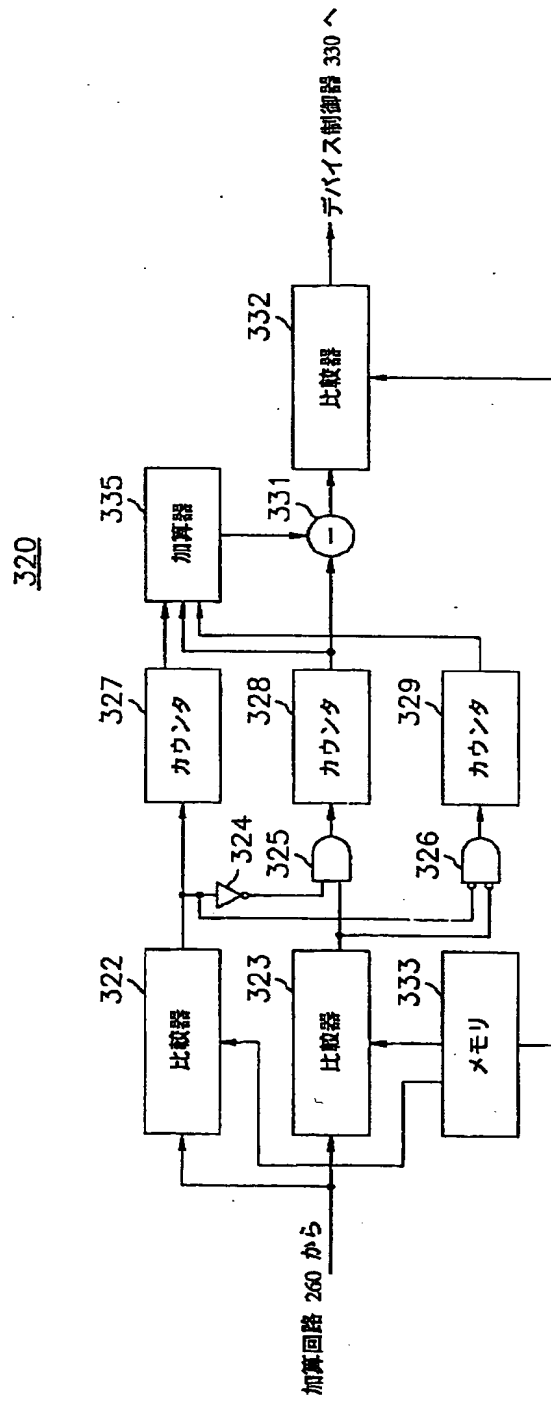
【図4】



【図6】



【図5】



THIS PAGE BLANK (USPTO